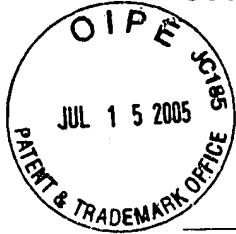


CUSTOMER NO. 23932



Docket No.: 61180-00006USPX
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Pierangelo Confalonieri et al.

Application No.: 10/791663

Confirmation No.: 2725

Filed: March 2, 2004

Art Unit: 2819

For: HIGH RESOLUTION AND LOW
CONSUMPTION DIGITAL-TO-ANALOG
CONVERTER

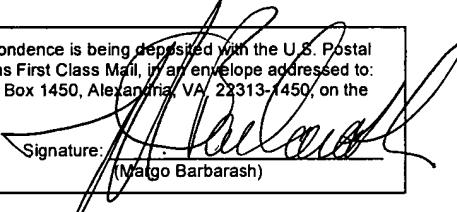
Examiner: L. V. Nguyen

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

I hereby certify that this correspondence is being deposited with the U.S. Postal Service with sufficient postage as First Class Mail, in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date shown below.

Dated: 07-12-05

Signature: 

(Margo Barbarash)

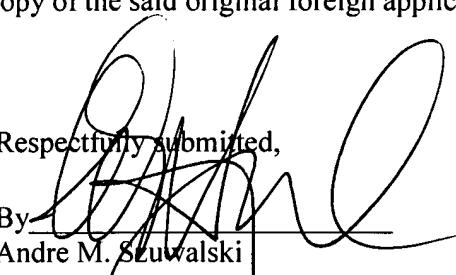
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
European Patent Office	03425160.3	March 14, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: 7/11/05

Respectfully submitted,

By 

Andre M. Szewalski

Registration No.: 35,701

JENKENS & GILCHRIST, A PROFESSIONAL CORPORATION

1445 Ross Avenue, Suite 3200

Dallas, Texas 75202

(214) 855-4500

Attorneys For Applicant

THIS PAGE BLANK (USPTO)



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03425160.3

CERTIFIED COPY OF
PRIORITY DOCUMENT

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office
Le Président de l'Office européen des brevets
p.o.

R C van Dijk

THIS PAGE BLANK (USPTO)



Anmeldung Nr:
Application no.: 03425160.3
Demande no:

Anmelde tag:
Date of filing: 14.03.03
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se referer à la description.)

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H03M1/00

Am Anmelde tag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT RO SE SI SK TR LI

THIS PAGE BLANK (USPTO)

"Convertitore digitale-analogico ad alta risoluzione e a basso consumo"

DESCRIZIONE

La presente invenzione si riferisce ad un
5 convertitore digitale-analogico come è definito nel
preambolo della rivendicazione 1.

In molti sistemi circuitali che richiedono la conversione di un codice digitale di ingresso in una grandezza analogica di uscita è necessario che la
10 conversione sia monotonica, cioè tale che un aumento o una riduzione del codice digitale di ingresso corrisponda a un aumento o ad una riduzione, rispettivamente, della grandezza analogica di uscita. Inoltre, nelle
applicazioni ad apparecchi portatili, come i telefoni
15 cellulari, è necessario ridurre al massimo il consumo di energia elettrica. Questa esigenza è sentita, per esempio, nella progettazione del convertitore utilizzato nell'anello di retroazione per il controllo della frequenza dell'oscillatore al quarzo che determina il
20 clock del sistema. Poiché questo circuito è sempre attivo, un basso consumo del convertitore digitale-analogico (D/A) è quanto mai auspicabile.

Un convertitore D/A comunemente utilizzato a questo scopo è rappresentato in modo schematico nella figura 1.
25 Una rete resistiva, in questo esempio un partitore

resistivo formato da una molteplicità ($2^{12}-1=4095$ in questo esempio) di resistori R di uguale resistenza in serie tra loro, è collegato, da una parte, attraverso un transistore M1, in questo esempio un MOSFET a canale P,
5 al terminale positivo Vdd di una sorgente di alimentazione e, dall'altra, attraverso un ulteriore resistore RL, al terminale negativo (massa) della sorgente d'alimentazione. Il terminale di gate del transistore M1 è collegato all'uscita di un amplificatore operazionale OPA1, che ha un ingresso invertente collegato ad una sorgente di tensione di riferimento Vref e un ingresso non invertente collegato al nodo di connessione N1 tra il partitore resistivo e il terminale di drain del transistore M1. Le prese del partitore (in numero di $2^{12}=4096$ in questo esempio) sono collegate ciascuna ad un terminale di un interruttore elettronico (SW0-SW4095) avente l'altro terminale collegato, in un nodo comune N4, ad un terminale di ingresso non invertente di un secondo amplificatore operazione OPA2.
10 Il guadagno dell'amplificatore è determinato da un resistore R1, collegato tra il terminale di ingresso invertente e il terminale di uscita dell'amplificatore OPA2, e da un resistore R2, collegato tra il terminale d'ingresso invertente e il terminale di massa. Una logica
15 di decodifica DEC-12BIT del codice da convertire D<11:0>
20
25

comanda selettivamente la chiusura e l'apertura degli interruttori elettronici SW0-SW4095 in modo che una sola presa per volta del partitore sia collegata all'ingresso non invertente dell'amplificatore OPA2 per applicare su di esso una tensione Vin corrispondente al codice digitale di volta in volta associato all'interruttore elettronico chiuso.

Nel funzionamento, la corrente I che attraversa il partitore resistivo, per effetto della connessione di retroazione tra il nodo N1 e l'ingresso non invertente dell'amplificatore OPA1, è regolata in modo da mantenere il nodo N1 a una tensione uguale alla tensione di riferimento Vref. La tensione Vin applicata in ingresso all'amplificatore OPA2 potrà assumere 4096 valori discreti variabili a gradini di tensione $\Delta V_1 = I \cdot R$, dove R è la resistenza di ciascuno dei resistori indicati con lo stesso simbolo, tra Vref e una tensione minima determinata dalla resistenza del resistore RL, mediante la chiusura selettiva degli interruttori SW0-SW4095. Ciascuno di tali valori discreti rappresenterà il valore analogico corrispondente al codice digitale che determina la chiusura del corrispondente interruttore elettronico. La tensione Vin viene amplificata dall'amplificatore operazionale OPA2 con un guadagno determinato dai resistori R1 e R2. La tensione sull'uscita

dell'amplificatore, che è anche l'uscita del convertitore, sarà $V_{out}=V_{in}*(1+R_1/R_2)$, dove R_1 e R_2 sono le resistenze dei resistori indicati con lo stesso simbolo nella figura 1.

Il convertitore D/A sopra descritto è caratterizzato da un'intrinseca monotonicità, perché la tensione del partitore che viene di volta in volta applicata in ingresso all'amplificatore OPA2 aumenta/diminuisce con l'aumentare/diminuire del codice digitale da convertire ed è perciò idoneo all'impiego nei sistemi citati all'inizio. Inoltre, il guadagno del convertitore è regolabile a piacere mediante resistenze (R_1 e R_2) che non sono legate in nessun modo alle resistenze del partitore resistivo, per cui possono essere scelte di valore relativamente elevato, in modo che il consumo di energia elettrica sia minimo. Tale convertitore, tuttavia, richiede l'occupazione di un'area estesa per la sua formazione in un circuito integrato a causa del gran numero di resistori. Tali resistori, inoltre, non possono essere realizzati come usuali resistori di polisilicio quando il partitore è composto da un gran numero di resistori. Il numero massimo di resistori è infatti limitato da una resistenza complessiva del partitore così elevata che la corrente che attraversa il partitore è così bassa da essere confrontabile con la corrente di

perdita delle regioni diffuse dei transistori che svolgono la funzione di interruttori elettronici. Inoltre, anche il tempo di conversione in questo caso diventa inaccettabilmente elevato. Per superare questo
5 limite i resistori vengono formati con una tecnica che utilizza un silicio speciale a bassa resistività; con tale tecnica però i resistori risultanti sono spesso di valori poco uniformi, per cui la resa di produzione del circuito integrato è bassa.

10 Un altro convertitore noto è rappresentato nella figura 2. Esso è costituito da due sezioni, una prima sezione per la conversione della parte del codice digitale coi bit più significativi (MSB) e una seconda sezione per la conversione della parte del codice
15 digitale coi bit meno significativi (LSB). La prima sezione, indicata nel complesso con MSB, ha una struttura identica a quella del convertitore della figura 1, ma in questo esempio ha solo $2^9 - 1 = 511$ resistori di uguale resistenza R e $2^9 = 512$ interruttori elettronici SW0-SW511
20 comandati da una logica di decodifica a 9bit (DEC-9BIT). La seconda sezione, indicata nel complesso con LSB, è costituita da tanti generatori di corrente (MD0, MD1, MD2) quanti sono i bit considerati meno significativi del codice da convertire, in questo esempio tre bit (D0, D1,
25 D2). I tre generatori MD0, MD1, MD2 sono costituiti da

transistori MOS a canale N collegabili selettivamente, tramite tre selettori elettronici SD0, SD1 e SD2 comandati da una logica di transcodifica a 3 bit (TRANSCOD-3BIT), tra i terminali (Vdd e massa) della sorgente d'alimentazione o tra l'ingresso invertente di un amplificatore operazionale OPA2 (uguale a quello del convertitore della figura 1) e la massa. I tre transistori MD0-MD2 sono collegati a specchio di corrente con un transistore MOS a canale N M3 collegato a diodo.

Il transistore M3 è collegato, in serie a un transistore MOS a canale P M2, tra i terminali della sorgente d'alimentazione (Vdd, massa). Il terminale di gate del transistore M2 è collegato al terminale di gate del transistore M1 che stabilizza la tensione sul partitore resistivo, per cui la corrente I del partitore si specchia nel ramo circuitale contenente M2 e M3. Le dimensioni dei transistori M1, M2, M3, MD0-MD2 sono predisposte in modo che i generatori formati dai transistori MD0-MD2 siano codificati in forma binaria, cioè che le correnti che li attraversano siano uguali, rispettivamente, a $2^0 \cdot I/4$, $2^1 \cdot I/4$ e $2^2 \cdot I/4$, per cui essi contribuiscono alla formazione della tensione di uscita Vout del convertitore nella misura giusta per rappresentare i tre bit meno significativi del codice da convertire. Nell'esempio rappresentato M1 e M2 hanno

uguali dimensioni, per esempio sono formati da un unico modulo di transistore MOS a canale P ($n=1$), M3 e MD2 hanno anch'essi uguali dimensioni, per esempio sono formati da quattro moduli di transistore MOS a canale N ($n=4$), MD1 ha dimensioni pari alla metà di quelle di MD2, per esempio è formato da due moduli di transistore MOS a canale N ($n=2$) e MD0 ha dimensioni pari alla metà di quelle di MD1, per esempio è formato da un modulo di transistore MOS a canale N ($n=1$).

10 La tensione di uscita del convertitore è

$$V_{out} = V_{in} * (1 + R_1'/R_2') + I_L * R_1'$$

dove R_1' e R_2' sono le resistenze dei resistori indicati con lo stesso simbolo nel disegno e I_L è la corrente che i generatori MD0-MD2 iniettano nel nodo di connessione N2
15 tra i resistori R_1' e R_2' , cioè nel terminale di ingresso invertente dell'amplificatore operazionale OPA2.

Se si pone $R_1'=R_2'$, il guadagno dell'amplificatore OPA2 sarà $g=1+R_1'/R_2'=2$, per cui il contributo all'uscita dell'amplificatore operazionale OPA2 della sezione MSB
20 sarà $V_{in}*2$ e, in particolare, il contributo dato da un resistore R all'uscita V_{out} sarà $\Delta V_1*2=I*R*2$. Se si pone $R_1'=R$, il contributo della sezione LSB sarà al massimo uguale a $7/8$ del contributo dato all'uscita da un resistore R del partitore. Infatti, se solo il generatore
25 MD0 è collegato al nodo N2 (cioè il selettore SDO è nella

posizione in cui il terminale di drain del transistore MD0 è collegato a N2 e i selettori SD1 e SD2 sono nelle posizioni in cui i terminali di drain dei rispettivi transistori MD1 e MD2 sono collegati al terminale Vdd),
5 la corrente IL sarà 1/4 di quella che passa per M3. Poiché la corrente di M3 è uguale alla corrente di M1, cioè alla corrente I che passa per il partitore, la corrente iniettata nel nodo N2 sarà $IL = 1/4*I$ e perciò il contributo all'uscita Vout dato dalla sezione LSB del
10 convertitore sarà uguale a 1/8 del contributo dato all'uscita da un resistore R del partitore, dal momento che il resistore di retroazione R1' dell'amplificatore OPA2 ha la stessa resistenza R. Quando tutti e tre i generatori MD0-MD2 della sezione LSB forniscono la loro
15 corrente all'amplificatore OPA2, la corrente IL sarà 7/4 della corrente I che passa per il partitore e, perciò il contributo alla tensione di uscita sarà $7/4*I*R$, cioè $7/8$ del contributo di un resistore R del partitore. Il contributo della sezione LSB alla tensione d'uscita Vout
20 è perciò una tensione variabile a gradini $\Delta V_2=1/2^L*2*\Delta V_1$, dove L è il numero dei bit meno significativi.

Il convertitore della figura 2 ha il vantaggio di essere integrabile in un'area molto minore di quella del convertitore della figura 1, naturalmente a parità di
25 risoluzione, grazie al fatto che il partitore ha un

numero di resistori pari a un ottavo di quello del partitore della figura 1 e solo pochi transistori in più; esso, però, presenta qualche inconveniente che ne rende l'impiego alquanto problematico. Più particolarmente,

5 tenendo conto che il partitore può essere realizzato con resistori R uguali aventi valori tipicamente compresi tra 20 e 200 Ohm e l'amplificatore operazionale OPA2 può avere un guadagno compreso tipicamente tra 1,5 e 2,5, i resistori che determinano il guadagno non possono essere

10 scelti di elevata resistenza, come è possibile invece nel caso del convertitore della figura 1, perché il resistore di retroazione R_1' deve avere un valore uguale a quello di un resistore del partitore e R_2' non può avere un valore molto più grande di R' , per cui il consumo del

15 convertitore è inaccettabilmente grande. Il consumo può essere ridotto utilizzando un resistore di retroazione R_1' di valore più grande e utilizzando generatori MD0-MD2 di corrente corrispondentemente più bassa, in modo che il contributo in tensione della sezione LSB all'uscita del

20 convertitore resti invariato. Tuttavia, per ottenere riduzioni significative del consumo, l'aumento della resistenza di retroazione e la riduzione della corrente dei generatori dovrebbero essere di entità tale da rendere difficile, se non impossibile, realizzare i

25 generatori mantenendo il corretto rapporto tra le

correnti da essi prodotte. In ogni caso, occorre evitare che le correnti dei generatori siano così basse da diventare confrontabili con le correnti di perdita delle giunzioni dei transistori MOS di cui essi sono fatti.

5 Un altro inconveniente del convertitore secondo la figura 2 consiste nel fatto che esso non ha una grande precisione quando è richiesta una grande escursione della tensione in uscita. Ciò perché i generatori di corrente possono scostarsi anche di molto dalle condizioni di
10 funzionamento di un generatore ideale. Come è noto, un transistore per funzionare in condizioni prossime a quelle di un generatore ideale dovrebbe lavorare sempre in zona di saturazione, cioè la sua corrente dovrebbe dipendere solo dalla tensione di gate e non da quella di
15 drain. Ciò si verifica se la tensione source-drain non scende mai al di sotto di un valore minimo prefissato, al di sotto del quale il transistore si troverebbe a lavorare in zona lineare. Nel caso del convertitore della figura 2, la tensione di uscita V_{out} può essere molto
20 vicina al potenziale di massa, per cui i terminali di drain dei transistori MD0-MD2, quando sono collegati al nodo N2 possono trovarsi a tensioni così basse da provocare il funzionamento in zona lineare.

Uno scopo della presente invenzione è di proporre un
25 convertitore D/A che sia integrabile su un'area ridotta e

che abbia un consumo ridotto.

Un altro scopo dell'invenzione è di proporre un convertitore D/A di grande linearità e precisione anche alla massima escursione della tensione d'uscita.

5 Tali scopi vengono raggiunti realizzando i convertitori definiti e caratterizzati in generale nelle rivendicazioni 1 e 5.

L'invenzione sarà meglio compresa dalla seguente descrizione dettagliata di due sue forme di esecuzione,
10 fatta a titolo esemplificativo e pertanto in nessun modo limitativo, in relazione agli uniti disegni, in cui:

le figure 1 e 2 mostrano in forma schematica due convertitori D/A di tipo noto e

15 le figure 3 e 4 mostrano in forma schematica due convertitori D/A secondo due forme di esecuzione dell'invenzione.

Con riferimento alla figura 3, in cui componenti uguali a quelli della figura 2 sono indicati con simboli uguali, il convertitore secondo l'invenzione si
20 differenzia da quello della figura 2 per il fatto che l'amplificatore operazionale OPA2 ha come resistenza di retroazione due resistori in serie R3 e R4, dei quali R4 ha la stessa resistenza R di un resistore del partitore della sezione MSB e R3 ha una resistenza uguale a $R2'' - R$,
25 dove $R2''$ è la resistenza del resistore, indicato con lo

stesso simbolo, collegato tra il terminale d'ingresso invertente e la massa. La corrente dei generatori della sezione LSB è iniettata nel nodo N3 tra i due resistori in serie. La tensione di uscita Vout del convertitore, 5 che è funzione della tensione Vin in uscita dalla sezione MSB e della corrente IL prodotta dai generatori della sezione LSB, sarà:

$$Vout = Vin * (1 + ((R2'' - R) + R) / R2'') + IL * R = 2 * Vin + IL * R$$

Come si può facilmente constatare, uno scopo 10 dell'invenzione viene così raggiunto, in quanto la resistenza $R2''$ può essere scelta grande a piacere, senza nessun vincolo con la resistenza elementare R del partitore, e ciò consente di avere un convertitore, che, non solo occupa un'area ridotta grazie alla riduzione 15 (1/8) del numero dei resistori del partitore, ma ha anche un basso consumo.

Nella figura 4, dove componenti uguali a quelli della figura 3 sono indicati con simboli uguali, è rappresentata una seconda forma d'esecuzione dell'inven- 20 zione che risolve anche il problema della scarsa precisione nel caso di ampie escursioni della tensione di uscita. La sezione LSB è stata modificata rispetto alla figura 3: più particolarmente, al posto dell'unico gruppo di generatori costituiti da transistori a canale N, sono 25 utilizzati due gruppi di generatori: uno costituito

ancora da tre transistori a canale N, indicati con MD0N,
MD1N e MD2N, e uno costituito da quattro transistori a
canale P, indicati con MD0P, MD1P, MD2P e M0P. I tre
transistori MD0P-MD2P hanno la funzione di generatori
5 codificati in forma binaria e il transistore M0P ha la
funzione di generatore di complemento, come sarà chiaro
dalla spiegazione che segue, ed ha lo stesso peso del
generatore di peso minore dei tre generatori codificati
in forma binaria. I due gruppi di generatori sono
10 attivabili in alternativa. La corrente I che attraversa
il partitore della sezione MSB è specchiata sia nel ramo
costituito dai transistori M2 e M3, come nelle figure 2 e
3, che in un ramo supplementare costituito da un
transistore a canale N, M5. Il transistore M5 ha le
15 stesse dimensioni del transistore M3 ($n = 4$), ha
l'elettrodo di gate in comune con l'elettrodo di gate di
M3, ed è collegato tra Vdd e massa in serie ad un
transistore a canale P (M4) collegato a diodo, anch'esso
delle stesse dimensioni del transistore M3 ($n = 4$).
20 L'elettrodo di gate del transistore M4 è collegato ai
terminali di gate dei quattro transistori a canale P,
MD2P, MD1P, MD0P e M0P, collegabili selettivamente,
tramite quattro selettori elettronici SD2P, SD1P, SD0P e
S0P comandati da una logica di transcodifica a 3bit
25 (TRANSCOD-3BIT'), tra i terminali (Vdd e massa) della

sorgente d'alimentazione o tra il nodo N3 della resistenza di retroazione dell'amplificatore operazionale OPA2 e il terminale Vdd. Le dimensioni dei transistori MD2P, MD1P, MD0P e M0P sono tali che le loro correnti contribuiscono alla formazione della tensione di uscita Vout del convertitore nella misura giusta per rappresentare i tre bit meno significativi del codice da convertire. Nell'esempio rappresentato MD2P ha dimensioni uguali a M4, MD1P ha dimensioni uguali a 1/2 di M4 e MD0P e M0P hanno entrambi dimensioni uguali a 1/4 di M4.

La sezione MSR è rappresentata identica a quella del convertitore della figura 2, ma, in pratica, essa si differenzia da quella per il fatto che l'interruttore elettronico SW0 resta sempre aperto (e può perciò essere omesso), che il resistore R collegato al resistore RL può formare con quest'ultimo un unico resistore e che l'interruttore centrale SW256 viene chiuso da due codici successivi 100000000 e 011111111. Il motivo di queste varianti risulterà chiaro dalla spiegazione del funzionamento del convertitore.

Le tre cifre meno significative del codice digitale da convertire vengono transcodificate dal transcodificatore a tre bit ('TRANSCOD-3BIT'), le cui uscite comandano l'apertura e la chiusura dei selettori elettronici del gruppo di transistori a canale N e del

gruppo di transistori a canale P. L'attivazione dell'uno o dell'altro gruppo di transistori è determinata dal valore del codice digitale da convertire e precisamente, in questo esempio, dal valore della cifra più significativa D11 del codice digitale: se D11=1, viene attivato il gruppo di transistori a canale N e, se D11=0, viene attivato il gruppo di transistori a canale P. In questo modo, quando la tensione di uscita è compresa tra Vdd/2 e Vdd, cioè è determinata da un codice digitale in cui D11=1, si usano i generatori con transistori a canale N, mentre quando la tensione di uscita è compresa tra il potenziale di massa e Vdd/2, cioè è determinata da un codice digitale in cui D11=0, si usano generatori con transistori a canale P. Pertanto, i due gruppi di generatori lavorano sempre in un campo di tensione in cui i relativi transistori sono sicuramente in saturazione.

Si noti che il criterio per la selezione dell'uno o dell'altro gruppo può essere diverso da quello descritto (basato sul valore del bit più significativo): si potrebbe infatti prendere come selettore un codice diverso da quello centrale, purché compreso nel campo di variabilità del codice da convertire.

Si consideri ora in dettaglio il funzionamento del convertitore rappresentato nella figura 4.

Il partitore resistivo della sezione MSB è formato

in pratica da $510 (=2^9 - 2)$ resistori R di uguale resistenza e da un resistore "di chiusura" $RL+R$. Il valore minimo della tensione di uscita della sezione, cioè della tensione di ingresso V_{in} dell'amplificatore operazionale 5 OPA2, è dato dalla caduta di tensione su $RL+R$. Le $511=2^9-1$ prese del partitore (trascurando quella "più bassa", cioè il nodo di connessione col resistore RL), possono essere collegate singolarmente al terminale di ingresso non invertente dell'amplificatore operazionale 10 OPA2 attraverso $511=2^9-1$ rispettivi interruttori elettronici SW1-SW511. I segnali di comando per la chiusura e l'apertura degli interruttori elettronici sono generati da una logica di decodifica a 9 bit (DEC-9BIT') in funzione dei 9 bit più significativi $D<11:3>$ del 15 codice di ingresso a 12 bit $D<11:0>$. Più particolarmente, la logica DEC-9BIT', se $D11=1$, si comporta come nei convertitori secondo le figure 2 e 3, cioè comanda la chiusura selettiva degli interruttori elettronici SW256-SW511 secondo il codice digitale di ingresso e, se $D11=0$, 20 comanda la chiusura selettiva degli interruttori elettronici SW1-SW256, cioè degli interruttori di volta in volta adiacenti (con numero d'ordine più alto) agli interruttori elettronici che sarebbero chiusi dalla logica dei convertitori secondo le figure 2 e 3: per 25 questo motivo l'interruttore centrale SW256 viene

attivato da due diversi codici (01111111 e 10000000).

I segnali di comando per l'azionamento dei selettori elettronici SD0N, SD1N, SD2N associati ai transistori a canale N della sezione LSB e dei selettori elettronici 5 SD0P SD1P e SD2P associati ai transistori a canale P della sezione LSB sono generati dalla logica di transcodifica a 3 bit (TRANSCOD-3BIT') e applicati all'uno o all'altro dei due gruppi di transistori, in funzione del valore del bit più significativo (D11) del 10 codice da convertire. Il selettore S0P associato al transistore di complemento M0P del gruppo di transistori a canale P è attivato in permanenza quando D11 = 0.

Per effetto del dimensionamento dei transistori collegati a specchio di corrente, le correnti che 15 attraversano il ramo contenente M2 e M3, il ramo contenente M4 e M5 e il ramo contenente M1 sono uguali. Poiché M3 è costituito da quattro moduli ($n=4$), MD0N è costituito da un solo modulo, MD1N è costituito da 2 moduli e MD2N è costituito da quattro moduli, nei 20 transistori MD0N, MD1N, MD2N, passa una corrente di $1/4*I$, di $1/2*I$ e I , rispettivamente. Perciò, quando D11=1 e i selettori SD0N, SD1N e SD2N sono nella posizione in cui i rispettivi generatori sono collegati 25 al nodo N3 (corrispondente al valore 1 del rispettivo bit di comando), sul nodo N3 viene convogliata una corrente

IL che è funzione del codice D<2:0> e che contribuisce a formare la tensione d'uscita dell'amplificatore operazionale OPA2 sommandosi alla tensione dovuta alla sezione MSB. Quando D11=0, nessuno dei transistori a canale N è collegato al nodo N3, mentre i transistori a canale P forniscono al nodo N3 una corrente che è funzione del codice D<2:0>. Più particolarmente, se il codice è 000, i selettori SD2P, SD1P, SD0P e S0P si trovano nella posizione di connessione al nodo N3, per cui la corrente IL sarà la somma delle correnti passanti per MD2P, MD1P, MD0P e MOP, cioè $IL = 8/4*I$; se il codice è 001, i selettori SD2P, SD1P e S0P si trovano nella posizione di connessione al nodo N3 e il selettore SD0P è nella posizione di connessione alla massa, per cui la corrente IL sarà la somma delle correnti passanti per MD2P, MD1P e MOP, cioè $IL = 7/4*I$, e così via, fino al codice 111, quando i selettori sono tutti nella posizione di connessione alla massa, tranne S0P, per cui la corrente IL sarà uguale alla corrente passante per MOP cioè $IL=1/4*I$.

L'effetto della corrente iniettata nel nodo N3, o prelevata da esso, come è chiaro dall'esame del funzionamento dell'amplificatore operazionale OPA2 retroazionato, è quello di influire sulla formazione della tensione di uscita Vout aggiungendo al contributo

della sezione MSB il contributo (di segno positivo, o di segno negativo) della sezione LSB. Più particolarmente, se D11=1, la sezione MSB contribuirà con una tensione $2*V_{in}$, dove V_{in} è la tensione del nodo del partitore 5 corrispondente al codice digitale D<11:3> da convertire, e la sezione LSB contribuirà con una tensione, che si somma a quella dovuta alla sezione MSB e varia tra 0 e 7/8 di quella dovuta a un resistore R del partitore. Se invece D11=0, la sezione MSB contribuirà con una tensione 10 $2*V_{in}$, dove V_{in} è la tensione del nodo del partitore "più in alto" di quello corrispondente al codice digitale D<11:3> da convertire, e la sezione LSB contribuirà con una tensione che si sottrae a quella dovuta alla sezione MSB e varia tra 8/8 e 1/8 di quella dovuta a un resistore 15 del partitore.

Nella forma di esecuzione sopra descritta il guadagno dell'amplificatore operazionale OPA2 è uguale a due. In pratica però il guadagno può essere scelto diverso da due modificando opportunamente la resistenza 20 del resistore R4 e/o le dimensioni dei transistori a canale N e a canale P che determinano la corrente IL iniettata nel nodo N3. Si supponga, per esempio, di volere un guadagno 1,5 per l'amplificatore e di lasciare inalterate le dimensioni dei transistori a canale N e a 25 canale P e perciò anche la corrente IL. In tal caso, la

resistenza di R4 non dovrà essere uguale a quella
di un modulo resistivo R del partitore, ma dovrà
essere $0,75*R$, in modo che la stessa corrente
sviluppi una tensione pari a 0,75 volte la tensione
5 ottenuta nell'esempio sopra descritto. Inoltre, la
resistenza di R3, anziché essere $R2''-R$, dovrà essere
 $(R2''/2)-0,75*R$, per cui la tensione di uscita sarà
 $Vout=Vin*(1+((R2''/2-0,75*R)+0,75*R)/R2'')+IL*0,75*R$ che,
semplificata, diventa $Vout=Vin*1,5+IL*0,75R$. Si ottiene
10 così che la corrente IL minima provoca in uscita una
variazione pari a 1/3 della tensione determinata in
uscita da un modulo resistivo R del partitore.

E' chiaro da quanto sopra esposto che il
convertitore secondo la forma d'esecuzione dell'inven-
15 zione rappresentata nella figura 4 consente di conseguire
tutti gli scopi dell'invenzione. In particolare esso può
essere integrato su un'area ridotta, ha un basso consumo
e un'elevata precisione. Naturalmente, nel caso in cui il
consumo non sia un problema, il convertitore può essere
20 realizzato facendo a meno del partitore di retroazione,
cioè utilizzando un resistore R3 di resistenza zero,
secondo lo schema della figura 2.

RIVENDICAZIONI

1. Convertitore digitale-analogico per convertire in una grandezza analogica un codice digitale costituito da una prima parte di bit più significativi e da una seconda 5 parte di bit meno significativi, comprendente:

una prima sezione (MSB) per convertire la prima parte del codice digitale in una prima tensione (V_{in}) tale prima tensione essendo una tensione di una molteplicità di tensioni discrete multiple intere di un 10 primo gradino di tensione prefissato (ΔV_1),

una seconda sezione (LSB) per convertire la seconda parte del codice digitale in una corrente,

mezzi per trasformare la corrente (I_L) della seconda sezione (LSB) in una seconda tensione, tale seconda tensione essendo una tensione di una molteplicità di tensioni discrete multiple intere di un secondo gradino 15 di tensione (ΔV_2) uguale a $1/2^L$ del prodotto del primo gradino di tensione (ΔV_1) per un coefficiente prefissato, dove L è il numero dei bit meno significativi del codice 20 digitale da convertire,

mezzi di comando (DEC-9BIT; TRANSCOD-3BIT) della prima e della seconda sezione e

mezzi sommatori (OPA2) per ottenere la suddetta grandezza analogica (V_{out}) come somma della seconda tensione e del prodotto della prima tensione per il 25

coefficiente prefissato, comprendenti un circuito sommatore con mezzi resistivi di retroazione (R3, R4),

caratterizzato dal fatto che i mezzi resistivi di retroazione comprendono un partitore di tensione (R3, R4)

5 e che i mezzi per trasformare la corrente (IL) in una seconda tensione comprendono un resistore di conversione (R4) che fa parte del partitore di tensione.

2. Convertitore secondo la rivendicazione 1, in cui

il circuito sommatore comprende un amplificatore operazionale (OPA2) avente un primo ingresso (-), un secondo ingresso (+) e un'uscita collegata all'uscita del convertitore,

il coefficiente prefissato è il guadagno dell'amplificatore operazionale (OPA2),

15 il partitore di tensione (R3, R4) dei mezzi resistivi di retroazione è collegato tra l'uscita e il primo ingresso (-) dell'amplificatore operazionale,

la prima sezione (MSB) comprende una rete resistiva, avente 2^M prese, dove M è il numero dei bit più significativi del codice digitale da convertire, e resistenze sostanzialmente uguali (R) tra prese adiacenti, e 2^M interruttori elettronici (SW0-SW511), inseriti ciascuno tra una rispettiva presa e un nodo comune (N4) collegato al secondo ingresso (+) 25 dell'amplificatore operazionale (OPA2),

la seconda sezione (LSB) comprende un gruppo di L generatori di corrente codificati in forma binaria (MD0-MD2), mezzi di selezione (SD0-SD2) degli L generatori di corrente e mezzi per convogliare su un nodo comune (N3),
5 collegato al resistore di conversione (R4), la corrente (IL) dei generatori selezionati e

i mezzi di comando comprendono mezzi (DEC-9BIT) per azionare selettivamente gli interruttori elettronici (SW0-SW511) in modo da collegare singolarmente ciascuna delle 2^M prese al secondo ingresso (+) dell'amplificatore operazionale in funzione della prima parte D<11:3> del codice digitale e mezzi (TRANSCOD-3BIT) per azionare selettivamente i mezzi di selezione (SD0-SD2) dei generatori di corrente (MD0-MD2) in funzione della seconda
15 parte (D<2:0>) del codice digitale.

3. Convertitore secondo la rivendicazione 2, in cui la seconda sezione (LSB) comprende un ulteriore gruppo di L generatori di corrente (MD0P-MD2P) codificati in forma binaria e ulteriori mezzi di selezione (SD0P-SD2P) degli
20 ulteriori L generatori di corrente e in cui i mezzi di comando comprendono una logica di selezione che abilita alternativamente l'uso dell'uno o dell'altro gruppo di generatori se il codice digitale da convertire supera o non supera, rispettivamente, un valore prefissato.

25 4. Convertitore secondo la rivendicazione 1, in cui

il circuito sommatore comprende un amplificatore operazionale (OPA2) avente un primo ingresso (-), un secondo ingresso (+) e un'uscita collegata all'uscita del convertitore,

5 il coefficiente prefissato è il guadagno dell'amplificatore operazionale (OPA2),

il partitore di tensione (R3, R4) dei mezzi resistivi di retroazione è collegato tra l'uscita e il primo ingresso (-) dell'amplificatore operazionale,

10 la prima sezione (MSB) comprende una rete resistiva (R, RL) avente 2^M-1 prese, dove M è il numero dei bit più significativi del codice digitale da convertire, e resistenze sostanzialmente uguali (R) tra prese adiacenti, e 2^M-1 interruttori elettronici (SW1-SW511),
15 inseriti ciascuno tra una rispettiva presa e un nodo comune (N4) collegato al secondo ingresso (+) dell'amplificatore operazionale,

la seconda sezione (LSB) comprende un gruppo di L generatori di corrente codificati in forma binaria (MD0N-MD2N), mezzi di selezione (SD0N-SD2N) degli L generatori di corrente, un ulteriore gruppo di generatori di corrente, di cui L (MD0P-MD2P) codificati in forma binaria e uno di complemento (M0P) avente lo stesso peso del generatore di peso minore degli L generatori,
25 ulteriori mezzi di selezione (SD0P-SD2P, S0P)

dell'ulteriore gruppo di generatori di corrente e mezzi per convogliare su un nodo comune (N3), collegato al resistore di conversione (R4), la corrente (IL) dei generatori selezionati,

5 i mezzi di comando comprendono mezzi (DEC-9BIT) per azionare selettivamente gli interruttori elettronici (SW1-SW511) in modo da collegare singolarmente ciascuna delle 2^M-1 prese al secondo ingresso (+) dell'amplificatore operazionale in funzione della prima
10 parte ($D<11:3>$) del codice digitale, mezzi (TRANSCOD-3BIT') per azionare selettivamente i mezzi di selezione (SD0N-SD2N, SD0P-SD2P,S0P) dei generatori di corrente in funzione della seconda parte ($D<2:0>$) del codice digitale e una logica di selezione che abilita alternativamente
15 l'uso dell'uno o dell'altro gruppo di generatori se il codice digitale da convertire supera o non supera, rispettivamente, un valore prefissato.

5. Convertitore digitale-analogico secondo la rivendicazione 4, in cui gli interruttori elettronici
20 della prima sezione (MSB) formano un primo e un secondo gruppo di interruttori elettronici aventi un interruttore elettronico in comune e in cui la logica di selezione determina l'azionamento degli interruttori elettronici del primo o del secondo gruppo se il codice digitale da
25 convertire supera o non supera, rispettivamente, il

valore prefissato e

determina la selezione permanente del generatore di complemento (MOP) dell'ulteriore gruppo di generatori di corrente se il codice digitale da convertire non supera
5 il valore prefissato (D11=0).

6. Convertitore digitale-analogico per convertire in una grandezza analogica un codice digitale di L bit, comprendente

un primo gruppo di L generatori di corrente
10 codificati in forma binaria (MD0N-MD2M),

primi mezzi di selezione (SD0N SD2N) degli L generatori di corrente,

mezzi per convogliare su un nodo comune d'uscita
(N3) la corrente (IL) dei generatori selezionati,

15 mezzi di comando ('TRANSCOD-3BIT') per azionare selettivamente i mezzi di selezione (SD0N-SD2N) in funzione del codice digitale di L bit,

caratterizzato dal fatto che comprende

un secondo gruppo di L generatori di corrente
20 codificati in forma binaria (MD0P-MD2P) e secondi mezzi di selezione (SD0P-SD2P) del secondo gruppo di L generatori di corrente e

dal fatto che i mezzi di comando comprendono una logica di selezione che abilita alternativamente l'uso
25 del primo o del secondo gruppo di generatori se il codice

digitale da convertire supera ($D_{11}=1$) o non supera ($D_{11}=0$), rispettivamente, un valore prefissato.

7. Convertitore secondo una qualsiasi delle rivendicazioni da 3 a 6, in cui il valore prefissato è espresso dal codice digitale avente il bit più significativo uguale a 0 e i restanti bit uguali a 1.

8. Convertitore secondo una qualsiasi delle rivendicazioni da 2 a 5, in cui i generatori di corrente della seconda sezione comprendono transistori MOS a canale N.

9. Convertitore secondo la rivendicazione 3 o 5, in cui gli ulteriori generatori di corrente della seconda sezione comprendono transistori MOS a canale P.

10. Convertitore secondo la rivendicazione 6 o 7, in cui i generatori di corrente del primo gruppo comprendono transistori MOS a canale N e i generatori di corrente del secondo gruppo comprendono transistori MOS a canale P.

RIASSUNTO

E' descritto un convertitore digitale-analogico comprendente una prima sezione (MSB) per convertire i bit più significativi di un codice digitale in una prima tensione (V_{in}) di una molteplicità di tensioni discrete multiple intere di un primo gradino di tensione prefissato (ΔV_1), una seconda sezione (LSB) per convertire i bit meno significativi del codice digitale in una corrente, mezzi per trasformare la corrente (IL) della seconda sezione (LSB) in una seconda tensione di una molteplicità di tensioni discrete multiple intere di un secondo gradino di tensione (ΔV_2) uguale a $1/2^L$ del prodotto del primo gradino di tensione (ΔV_1) per un coefficiente prefissato, dove L è il numero dei bit meno significativi del codice digitale da convertire, mezzi di comando (DEC-9BIT; TRANSCOD-3BIT) della prima e della seconda sezione e mezzi sommatori (OPA2) per ottenere in uscita una tensione (V_{out}) che è la somma della seconda tensione e del prodotto della prima tensione per il coefficiente prefissato. Per ottenere un basso consumo, i mezzi sommatori hanno mezzi resistivi di retroazione comprendenti un partitore di tensione (R_3 , R_4) e i mezzi per trasformare la corrente (IL) in una seconda tensione comprendono un resistore di conversione (R_4) che fa parte del partitore di tensione.

(figura 3)

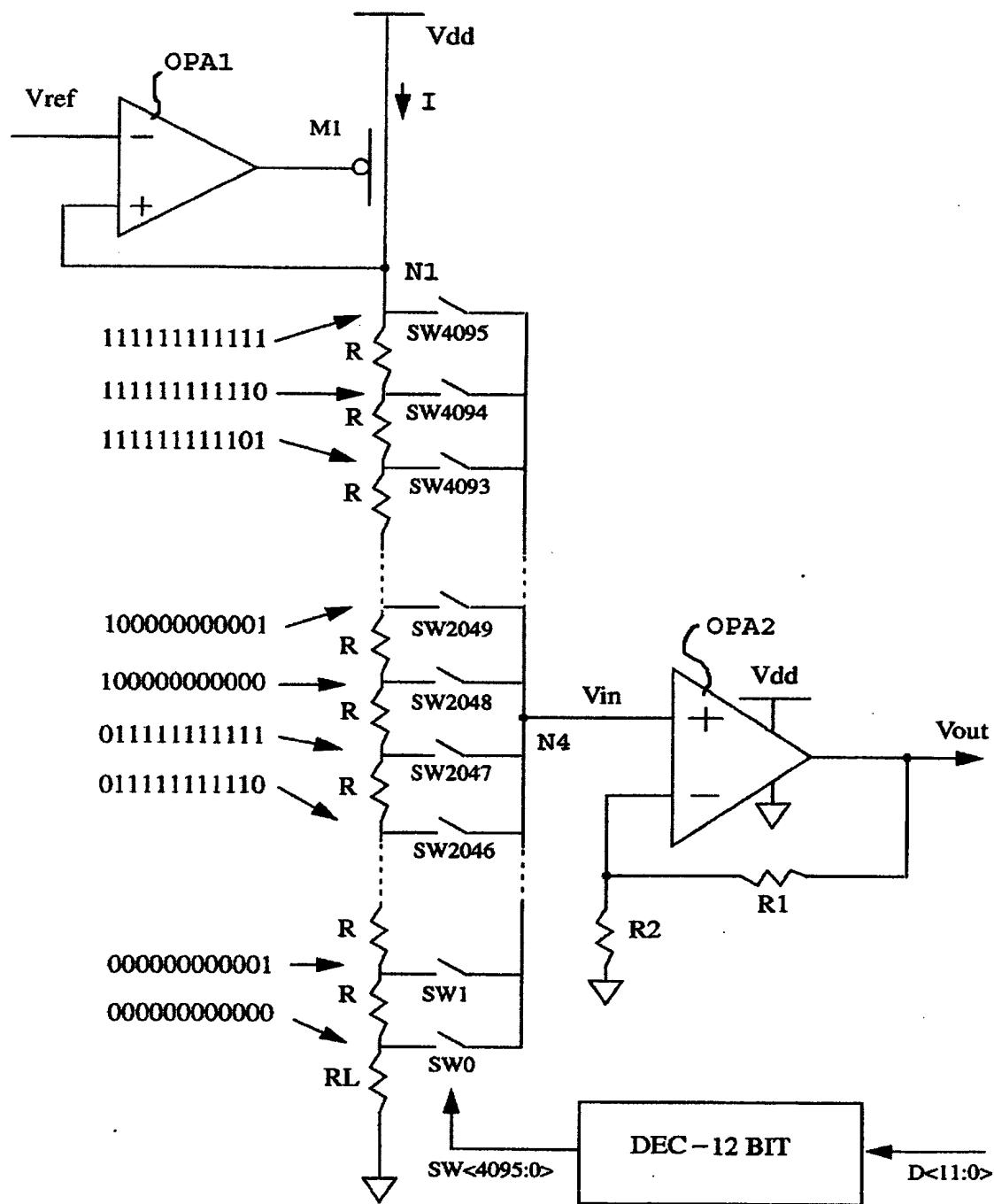


FIG. 1

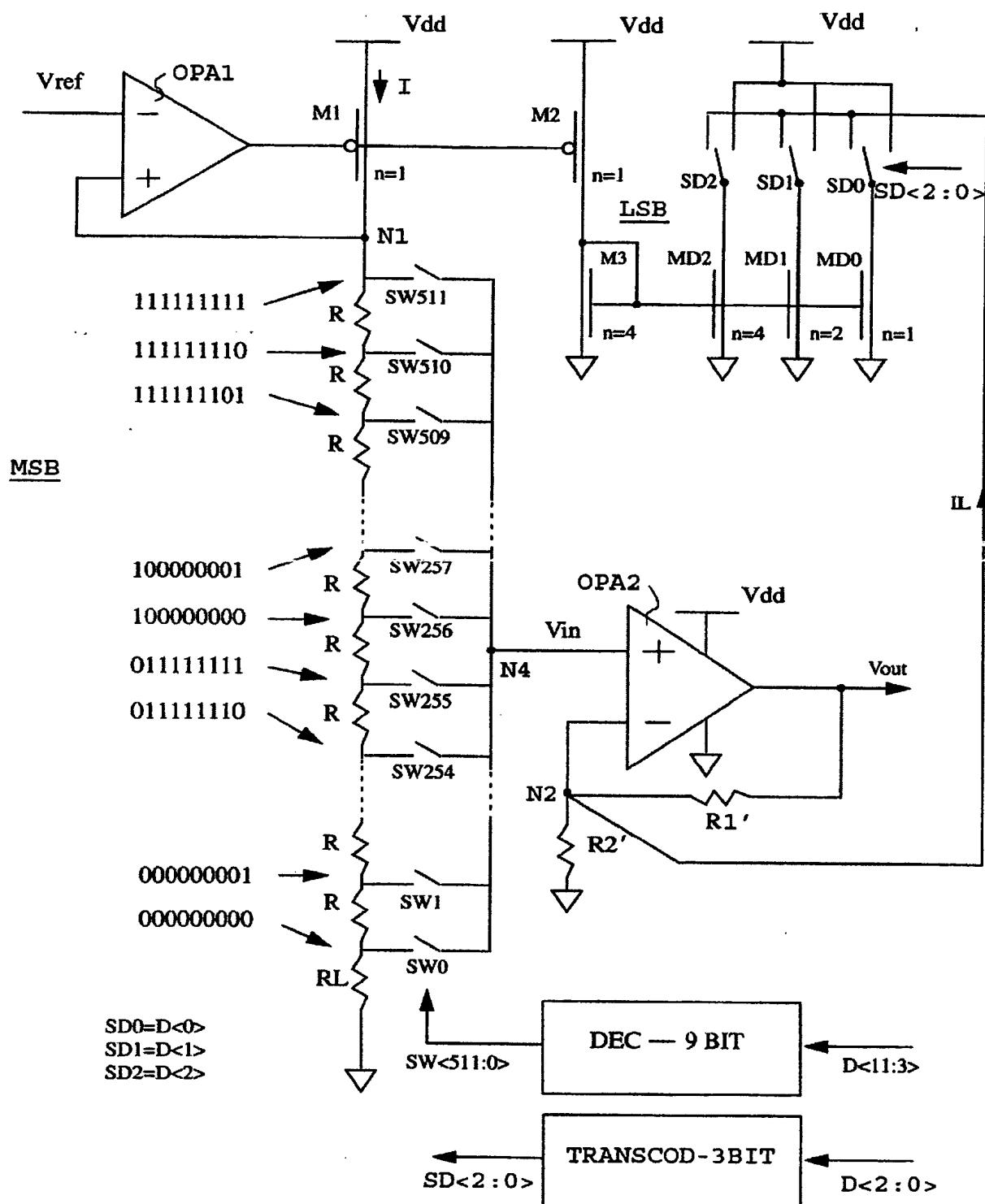


FIG. 2

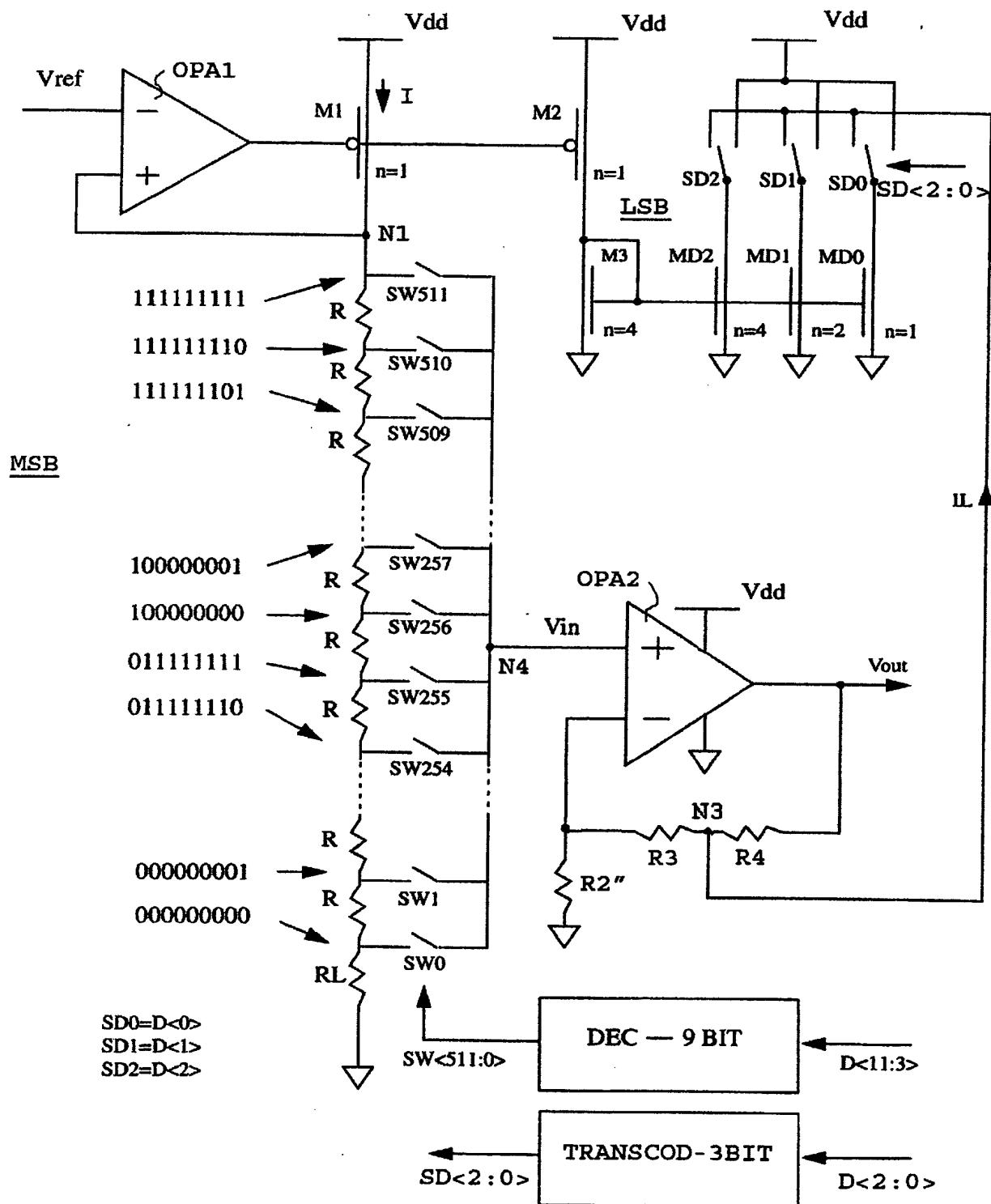


FIG. 3

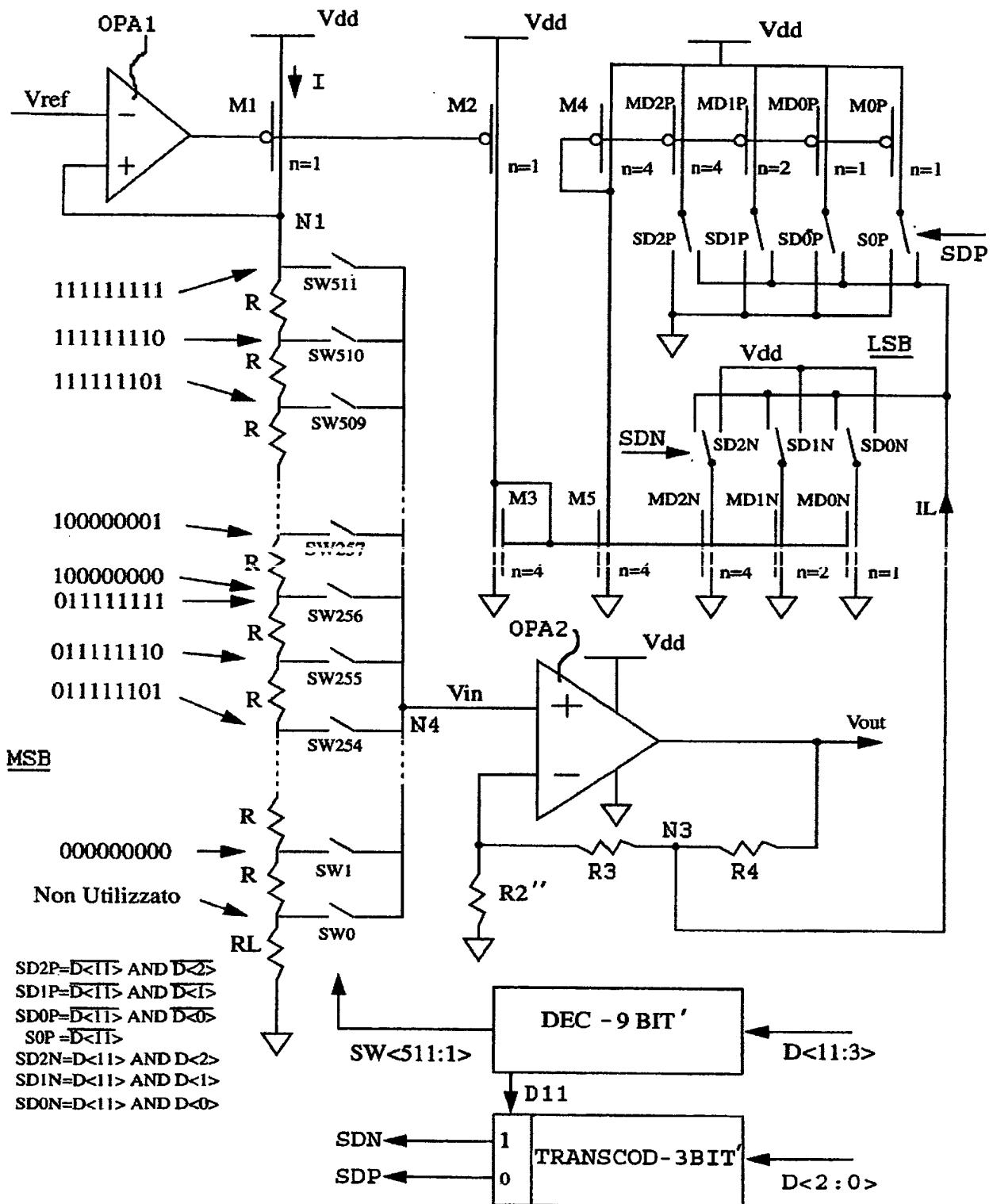


FIG.4